



PATENT ABSTRACTS OF JAPAN

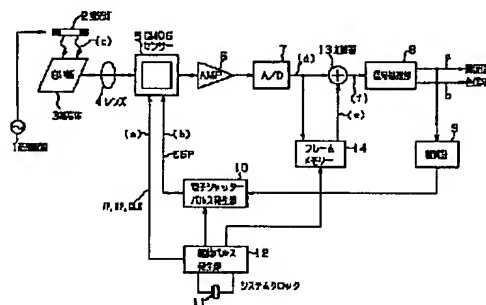
(11) Publication number: **10304249 A**(43) Date of publication of application: **13.11.98**(51) Int. Cl. **H04N 5/335**(21) Application number: **09104824**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **22.04.97**(72) Inventor: **SAKAI SUMIO**(54) **SOLID-STATE IMAGE PICKUP DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device in which flicker effects are reduced.

SOLUTION: In the device, a read period of a photo diode of a CMOS sensor 5 is set to a multiple of $(n+1/2)$ of a flicker period of a fluorescent light (n is integer). Thus, a phase of an output signal (d) of an A/D converter 7 and a phase of an output signal (e) of a frame memory 14 are shifted by 180° (flicker phase is inverted for each frame) and an output signal (f) of an adder 13 that is an image pickup signal is obtained, where the flicker component for each frame is reduced by using the adder 13 to integrate (sum) the signals (d), (e).

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-304249

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

E

P

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平9-104824

(22) 出願日 平成9年(1997)4月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 酒井 澄夫

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

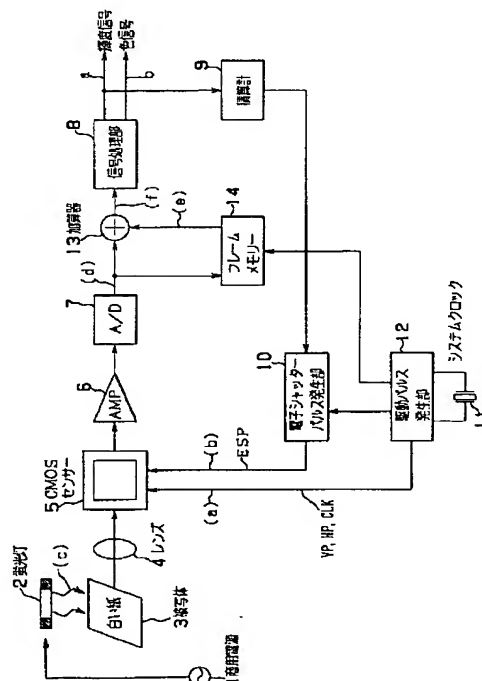
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 フリッカによる影響を低減した固体撮像装置を提供する。

【解決手段】 CMOSセンサー5のフォトダイオードの読み出し周期を蛍光灯2のフリッカ周期の $(n+1/2)$ 倍 $\{n$ は整数 $\}$ に設定する。これにより、A/D変換器7の出力信号(d)とフレームメモリ14の出力信号(e)の位相が180度ずれ(フレーム毎にフリッカ位相が反転)、この信号(d)と信号(e)とを加算器13で積分(加算)することにより、フレーム毎のフリッカ成分の低減された、撮像信号である加算器13の出力信号(f)が得られる。



【特許請求の範囲】

【請求項1】行列に2次元に配列された複数の光電変換素子を有し、該複数の光電変換素子からスイッチを介して撮像信号を線順次で読み出すと共に、前記複数の光電変換素子の受光時間を前記線を構成する行単位で制御する制御手段を備えた固体撮像素子において、被撮像体に光を照射する周期的に光量に変化する光源と、前記複数の光電変換素子から読み出された撮像信号を1画面分記憶する記憶手段と、次に前記複数の光電変換素子から読み出される1画面分の撮像信号と前記記憶手段に記憶されている1画面分の撮像信号とを加算する加算手段と、この加算手段の出力を撮像信号として出力する出力手段と、前記複数の光電変換素子の受光周期を、前記光源の光量変化に伴って前記撮像信号に生ずる変動成分の変動位相が、隣接する1画面分の信号において逆となる周期に設定する手段とを具備したことを特徴とする固体撮像装置。

【請求項2】行列に2次元に配列された複数の光電変換素子を有し、該複数の光電変換素子からスイッチを介して撮像信号を線順次で読み出すと共に、前記複数の光電変換素子の受光時間を前記線を構成する行単位で制御する制御手段を備えた固体撮像素子において、被撮像体に光を照射する周期的に光量に変化する光源と、前記複数の光電変換素子から読み出された撮像信号を1画面分記憶する記憶手段と、次に前記複数の光電変換素子から読み出される1画面分の撮像信号と前記記憶手段に記憶されている1画面分の撮像信号とを加算する加算手段と、この加算手段の出力を撮像信号として出力する出力手段と、前記複数の光電変換素子の受光周期を、前記光源の光量変化の周期の $(n+1/2)$ 倍(n は整数)に設定する手段とを具備したことを特徴とする固体撮像装置。

【請求項3】前記複数の光電変換素子の出力を増幅する増幅手段と、この増幅手段の出力をデジタル信号に変換して前記記憶手段に出力するアナログ／デジタル変換手段とを具備したことを特徴とする請求項1または2に記載の固体撮像装置。

【請求項4】前記複数の光電変換素子はそれぞれホトダイオードで構成され、このホトダイオードで光電変換された電荷がスイッチを介して前記線単位で供給されて蓄積する蓄積手段と、この蓄積手段に蓄積された電荷をスイッチを介して順次読み出す手段を具備したことを特徴とする請求項1または2に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパソコン用カメラや電子スチルカメラなどに使用される固体撮像素子として、CMOSイメージセンサーを用いた、固体撮像装置に関する。

【0002】

【従来の技術】従来、カラーカメラには撮像管が使用されてきた。これは、画像の画素をひとつひとつ考えるようなものではなく、いわゆる連続したアナログ信号であり、撮像管の光導電層に蓄積された画像情報は、隣接した水平方向の各情報間で、できる限り漏れを少なくするような構造で保存し、電子ビームの水平方向の連続走査によって連続信号として取り出していた。

【0003】しかし、CCD(Charge Coupled Device = 電荷結合素子)に代表される固体撮像素子が開発されて以来、撮像管は放送局用や特殊用途用以外では用いられなくなり、ほとんどが固体撮像素子に置き換えられている。

【0004】固体撮像素子の場合、前記撮像管と異なり、それぞれの画素ははっきりと独立した形で記憶されていて、撮像管の電子ビーム走査に相当するものは、クロックと呼ばれる読み出し用の基準になる連続パルスである。そして、各画素情報は信号電荷として蓄えられていて、クロックパルスで順次転送され、読み出して並べられて、テレビジョン信号となる。

【0005】一方、近年、CCDにかわる固体撮像素子として、CMOSイメージセンサーが開発製造されている。このCMOSイメージセンサー(以下、単にCMOSセンサーともいう)は、LSIメモリやプロセッサと同じ、CMOSプロセスで作製される。このため、単一電源で動作し、CCD撮像素子と比べ、超低消費電力(約 $1/10$)で動作する。さらに、撮像部と素子駆動回路を1チップに集積でき、高密度な高精細画素を構成可能であるといった優れた特徴を有する。

【0006】図3は固体撮像素子としてCMOSセンサーを用いた従来の固体撮像装置の構成例を示すブロック図である。

【0007】図3において、商用電源1より電力の供給された蛍光灯2は、固体撮像装置の被写体3を照らしている。ここで、前記被写体3は、後述の説明の都合上、全面に渡り均一な反射率を有する、例えば白い紙が選ばれている。

【0008】また、図3における固体撮像装置は、被写体3をCMOSセンサー5上に結像させるためのレンズ4と、結像された像を電気信号に変換するCMOSセンサー5と、CMOSセンサー5が結像された像を電気信号に変換するための各種のタイミング信号を発生供給するシステムクロック11、駆動パルス発生部12、並びに電子シャッターパルス発生部10と、入力された信号を増幅するアンプ6と、アナログ信号をデジタル信号に変換するA/D変換器7と、入力された信号(撮像信

号)を、例えば、輝度信号と色信号に分離された映像信号として出力する信号処理部8と、例えば1V(垂直)期間の輝度信号を入力し、画像の明暗情報を前記電子シャッターパルス発生部10に供給する積算器9とにより構成される。

【0009】以上のように構成された固体撮像装置において、被写体3からの反射光はレンズ4を通り、CMOSセンサー5に入る。CMOSセンサー5の出力はアンプ6で増幅された後、A/D変換器7によりデジタル信号に変換され、信号処理回路8にて輝度信号aと色信号bに分離され、カメラブロックの出力となり、図示しないパソコン等のインターフェース回路に供給される。

【0010】ところで、図4はCMOSセンサー5の内部構成を示した図である。図4に示すように、CMOSセンサー5(垂直シフトレジスター20、21および水平シフトレジスター22)に加えられるパルスとしては、垂直方向の信号読み出し開始位置を決めるパルスVPと、水平方向の信号読み出し開始位置を決めるパルスHPと、水平読み出しの時間を決めるパルスCLKと、電子シャッターの値を決めるパルスESPとがある。

【0011】このうちESPパルスは図3の電子シャッターパルス発生部10より発生し、VP、HP、CLKパルスは図3の駆動パルス発生部12より発生される。駆動パルス発生部12はシステムクロック11からのシステムクロック11を基に各パルスを分周して作成される。

【0012】また、電子シャッターパルス発生部10は駆動パルス発生部12からの垂直読み出し開始信号を基にESPパルスを作成し、そのタイミングは、信号処理部8からの輝度信号aに基づいて積算器9より供給される画像の明暗情報に基づき、前記電子シャッターパルス発生部10により決定(調整)される。即ち、電子シャッターパルス発生部10により、CMOSセンサー5から、一定量の明るさの信号(撮像信号)が得られるように電子シャッターのシャッタースピードの制御(調整)が行なわれる。

【0013】次に、前記図4を参照しながら、このCMOSセンサー5の動作について詳細に説明を行う。

【0014】図4において、フォトダイオード23は電荷掃き出し用のMOSスイッチ24と信号読み出しスイッチ25にそれぞれ接続されている。

【0015】垂直シフトレジスター20はESPパルスによってクリアされ、HPパルスで駆動されることでフォトダイオード23の1水平ライン毎に垂直方向に順次そのスイッチ24を駆動するパルスを出力する。ESPパルス後の最初のHPパルスで1ライン目のスイッチ24をオンとするパルスを出力し、それによって1ライン目のフォトダイオード23のカソードが基準電位(接地電位)点に接続され、フォトダイオード23に蓄積された電荷が掃き出される。次のHPパルスで2ライン目の

スイッチ24がオンにされ、1ライン目のスイッチ24はオフとなりフォトダイオード23は電荷を蓄積する。垂直シフトレジスター20はこのようにして全てのフォトダイオード23の電荷を掃き出すと1垂直周期後に再びESPパルスが加えられて初期の動作状態に戻り、以下それを繰り返す。

【0016】垂直シフトレジスター21は、VPパルスでクリアされ、HPパルスで駆動されることでフォトダイオード23の1水平ライン毎に垂直方向に順次そのスイッチ25を駆動するパルスを出力する。VPパルス後の最初のHPパルスで1ライン目のスイッチ25をオンとするパルスを出力し、それによって1ライン目のフォトダイオード23の蓄積電荷がそれぞれコンデンサ26に移される。同時に、水平シフトレジスター22がHPパルスでクリアされ、クロックCLKによってスイッチ27を水平方向に順次オンさせるパルスを出力するように駆動されるため、コンデンサ26の電荷はシリアルにIV変換器28へと読み出される。次のHPパルスによって垂直シフトレジスター21は、2ライン目のスイッチ25をオンにさせるパルスを出力し、フォトダイオード23の電荷がコンデンサ26に移され、水平シフトレジスター22によって読み出される。その動作が1垂直期間行われて全てのフォトダイオード23の電荷が読み出されると再びVPパルスが印加され、以後その繰返しとなる。

【0017】ここにおいて、コンデンサ26に移される電荷は、ESPパルスが加えられてから、VPパルスが加えられるまでの期間に比例するもので、ESPパルスとVPパルス間の時間間隔を制御することにより、シャッタースピードの制御が可能であることがわかる。尚、垂直シフトレジスター20、21がHPパルスによって駆動されるため、フォトダイオード23の電荷蓄積期間は、実際にはHPパルス周期の整数倍となる。

【0018】図5にVPパルス、ESPパルスと、入力光、CMOSセンサー5の出力信号outの関係を示す。尚、図5において、図4に示すシステムクロック11が蛍光灯2のフリッカ周期の3倍に設定されていて、CMOSセンサーのシャッタースピードはESPのパルスがVPのパルスに近い、高速シャッターの場合を示している。

【0019】ところで、上記固体撮像素子としてのCMOSセンサーは、CCDと異なり、各画素間でのV方向の露光タイミングが異なっている。即ち、CMOSセンサーの出力は、前記図4に示す如く、前記ESPパルスとVPパルス(との時間差sで決定されるシャッタースピード)により制御されるシフトレジスター20、21によりライン単位で前記各フォトダイオード23の蓄積電荷が読み出され(前記各コンデンサ26にホールドされ)、シフトレジスター22によりH方向にスキャンされて1H分の信号(同一の露光タイミング)として取り

出されるようになっている。また、これをV方向に配置されるフォトダイオード23の数分(図では480個)繰り返し実施することで、全フォトダイオード23の数(全画素)分(図では640×480個)の信号が取り出されるようになっている(V方向の露光タイミングが異なる)。

【0020】このため、例えば、屋内の蛍光灯下で撮影を行った場合、蛍光灯フリッカがCMOSセンサーの各画素のV方向に露光量差を発生させる。これにより、電子シャッターの値によっては、垂直方向に輝度差が生じてしまうという問題が発生する。

【0021】

【発明が解決しようとする課題】上記の如く、撮像素子としてCMOSセンサーを用いた固体撮像装置の被写体の照明として、商用電源を用いた通常の蛍光灯等の、フリッカを有する照明を用いた場合であって、CMOSセンサーの電子シャッターを利用して光量を制御する場合において、前記照明のフリッカ周期に応じた横縞が、前記固体撮像装置の映像出力に発生するという問題(欠点)があった。

【0022】そこで、本発明はこのような問題に鑑み、フリッカを有する照明下における被写体を撮像した場合でも、照明の発生するフリッカによる影響(横縞の発生)を実用レベルにまで低減した、固体撮像装置を提供することを目的とするものである。

【0023】

【課題を解決するための手段】請求項1に記載の発明による固体撮像装置は、行列に2次元に配列された複数の光電変換素子を有し、該複数の光電変換素子からスイッチを介して撮像信号を線順次で読み出すと共に、前記複数の光電変換素子の受光時間を前記線を構成する行単位で制御する制御手段を備えた固体撮像素子において、被撮像体に光を照射する周期的に光量が変化する光源と、前記複数の光電変換素子から読み出された撮像信号を1画面分記憶する記憶手段と、次に前記複数の光電変換素子から読み出される1画面分の撮像信号と前記記憶手段に記憶されている1画面分の撮像信号とを加算する加算手段と、この加算手段の出力を撮像信号として出力する出力手段と、前記複数の光電変換素子の受光周期を、前記光源の光量変化に伴って前記撮像信号に生ずる変動成分の変動位相が、隣接する1画面分の信号において逆となる周期に設定する手段とを具備したことを特徴とするものである。

【0024】請求項1に記載の発明によれば、複数の光電変換素子の受光周期を、光源の光量変化に伴って前記撮像信号に生ずる変動成分の変動位相が、隣接する1画面分の信号において逆となる周期に設定し、前記隣接する1画面分の信号を加算するようにしたので、照明装置の有するフリッカ成分により前記CMOSセンサーが受ける影響を、実用レベル(1/2)まで軽減することが

できる。

【0025】請求項2に記載の発明による固体撮像装置は、行列に2次元に配列された複数の光電変換素子を有し、該複数の光電変換素子からスイッチを介して撮像信号を線順次で読み出すと共に、前記複数の光電変換素子の受光時間を前記線を構成する行単位で制御する制御手段を備えた固体撮像素子において、被撮像体に光を照射する周期的に光量が変化する光源と、前記複数の光電変換素子から読み出された撮像信号を1画面分記憶する記憶手段と、次に前記複数の光電変換素子から読み出される1画面分の撮像信号と前記記憶手段に記憶されている1画面分の撮像信号とを加算する加算手段と、この加算手段の出力を撮像信号として出力する出力手段と、前記複数の光電変換素子の受光周期を、前記光源の光量変化の周期の $(n+1/2)$ 倍(n は整数)に設定する手段とを具備したことを特徴とするものである。

【0026】請求項3に記載の発明による固体撮像装置は、請求項1または2に記載の固体撮像装置における構成に加え、前記複数の光電変換素子の出力を増幅する増幅手段と、この増幅手段の出力をデジタル信号に変換して前記記憶手段に出力するアナログ/デジタル変換手段とを具備したことを特徴とするものである。

【0027】請求項4に記載の発明による固体撮像装置は、請求項1または2に記載の固体撮像装置において、前記複数の光電変換素子がそれぞれホトダイオードで構成され、このホトダイオードで光電変換された電荷がスイッチを介して前記線単位で供給されて蓄積する蓄積手段と、この蓄積手段に蓄積された電荷をスイッチを介して順次読み出す手段を具備したことを特徴とする。

【0028】請求項2乃至4に記載の発明によれば、CMOSセンサーからの撮像信号の読み出し周期を、照明装置のフリッカ周期の $(n+1/2)$ 倍(n は整数)とし、前記CMOSセンサーからの撮像信号を1フレーム期間遅延した撮像信号を生成し、両者を加算するようにしたので、前記照明装置のフリッカ成分により前記CMOSセンサーが受ける影響を実用レベル(1/2)まで軽減することが可能となる。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は固体撮像素子としてCMOSセンサーを用いた本発明の固体撮像装置の実施の形態を示すブロック図である。

【0030】図1において、商用電源1より電力の供給された蛍光灯2は、固体撮像装置の被写体3を照らしている。ここで、前記被写体3は、説明の都合上、全面に渡り均一な反射率を有する、例えば白い紙である。

【0031】さらに、図1における本発明の固体撮像装置は、被写体3をCMOSセンサー5上に結像させるためのレンズ4と、結像された像を電気信号に変換するCMOSセンサー5と、CMOSセンサー5が結像された

像を電気信号(撮像信号)に変換するための各種のタイミング信号を発生供給するシステムクロック11、駆動パルス発生部12、並びに電子シャッターパルス発生部10と、入力された信号を増幅するアンプ6と、アナログ信号をデジタル信号に変換するA/D変換器7と、撮像信号を1フレーム期間遅延するフレームメモリ14と、フレームメモリ14の出力(撮像)信号と遅延前の撮像信号とを加算する加算器13と、入力された信号を輝度信号と色信号に分離された映像信号として出力する信号処理部8と、例えば1フレーム期間の輝度信号を入力し、画像の明暗情報を前記電子シャッターパルス発生部10に供給する積算器9とにより構成される。

【0032】以上のように構成された固体撮像装置において、被写体3からの反射光はレンズ4を通り、CMOSセンサー5に入る。CMOSセンサー5の出力はアンプ6で増幅された後、A/D変換器7によりデジタル信号に変換され、加算器13とフレームメモリ14に入力される。フレームメモリ14では前記駆動パルス発生部12からの同期パルスで駆動され、撮像信号に対して随時1フレーム分の遅延を行うように動作し、遅延された撮像信号を加算器13に出力される。加算器13の出力は信号処理回路8に入力され、輝度信号aと色信号bに分離され、カメラブロックの出力となり、図示しないパソコン等のインターフェース回路に供給される。

【0033】また、CMOSセンサー5に供給されるパルスは、垂直方向の信号読み出し開始位置を決めるパルスVPと水平方向の信号読み出し開始位置を決めるパルスHPと水平読み出しの時間を決めるパルスCLKと電子シャッターの値を決めるパルスESPとがある。このうちESPパルスは電子シャッターパルス発生部10より発生し、VP、HP、CLKパルスは、駆動パルス発生部12より発生される。駆動パルス発生部12はシステムクロック11からのシステムクロック11を基に各パルスを分周して作成される。

【0034】さらに、電子シャッターパルス発生部10は駆動パルス発生部12からの垂直読み出し開始信号を基にESPパルスを作成し、そのタイミングは、信号処理部8からの輝度信号aに基づいて積算器9より供給される、例えば1フレーム分の画像の明暗情報(平均光量のフィードバックデータ)に基づき、前記電子シャッターパルス発生部10により決定(調整)される。これにより、即ち、電子シャッターパルス発生部10により、常に一定量の明るさの信号が得られるように電子シャッターのシャッタースピードの制御(調整)が行なわれる。

【0035】また、前記システムクロック11はCMOSセンサー5のフォトダイオードの読み出し周期が、蛍光灯2のフリッカ周期の $(n+1/2)$ 倍(n は整数)となるよう設定される。これにより、例えば高速シャッター時において、図2に示す如くの撮像信号出力、即

ち、蛍光灯下の撮影においてもフリッカによる横縞の発生が、大幅に軽減された撮像信号出力が得られる。これについて、前記図1および図2を参照しながら説明を行う。

【0036】図2は本発明における固体撮像装置の各出力信号を示す図である。図2において、信号(a)および信号(b)は、高速シャッター時におけるVPパルスおよびESPパルスを示して、信号(c)は商用電源1より電力供給されたフリッカを有する蛍光灯照明の照射された被写体3からの入力信号(撮像信号)を示している。尚、図2(c)から明らかなように、本発明の実施の形態では、CMOSセンサー5のフォトダイオードの読み出し周期(露光周期)は蛍光灯2のフリッカ周期の3.5倍に設定されている。

【0037】このとき、A/D変換器7からは、例えば、図2(d)に示す信号が出力されていて、この信号(d)は、フレームメモリ14と加算器13にそれぞれ供給される。一方、フレームメモリ14からは、前記信号(d)を1フレーム期間遅延された信号(e)が加算器13に供給されていて、加算器13にて、この2つの信号(d)および信号(e)の加算がおこなわれる。

【0038】ところで、既述の通り、本実施の形態では、CMOSセンサー5のフォトダイオードの読み出し周期は蛍光灯2のフリッカ周期の3.5倍に設定されているため、信号(d)と信号(e)は、位相が180度(正確には1260度)ずれた状態となっている。このため、加算器13にて、フレーム毎にフリッカ位相が反転した状態で、前記信号(d)と信号(e)とが積分(加算)される。これにより、加算器13の出力信号は、図2(f)に示す如くとなり、フレーム毎のフリッカ成分を実用レベル(1/2)まで軽減することが可能となる。

【0039】

【発明の効果】以上述べたように本発明によれば、蛍光灯等のフリッカを有する照明下における撮影においても、前記照明の発生するフリッカによる影響である、横縞の発生を極力抑え、実用範囲内まで低減することができる。

【図面の簡単な説明】

【図1】固体撮像素子としてCMOSセンサーを用いた本発明の固体撮像装置の実施の形態を示すブロック図である。

【図2】本発明における固体撮像装置の各出力信号を示す図である。

【図3】固体撮像素子としてCMOSセンサーを用いた従来の固体撮像装置の構成例を示すブロック図である。

【図4】CMOSセンサー5の内部構成を示した図である。

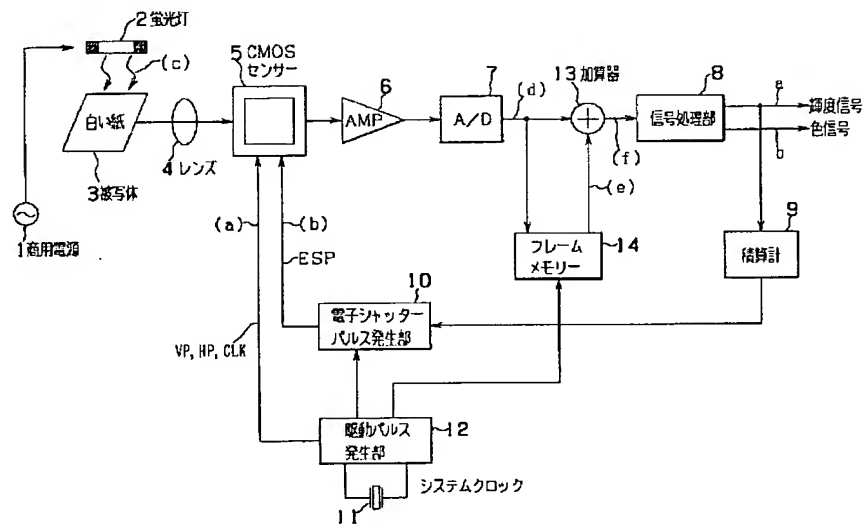
【図5】従来の固体撮像装置における各出力信号を示す図である。

【符号の説明】

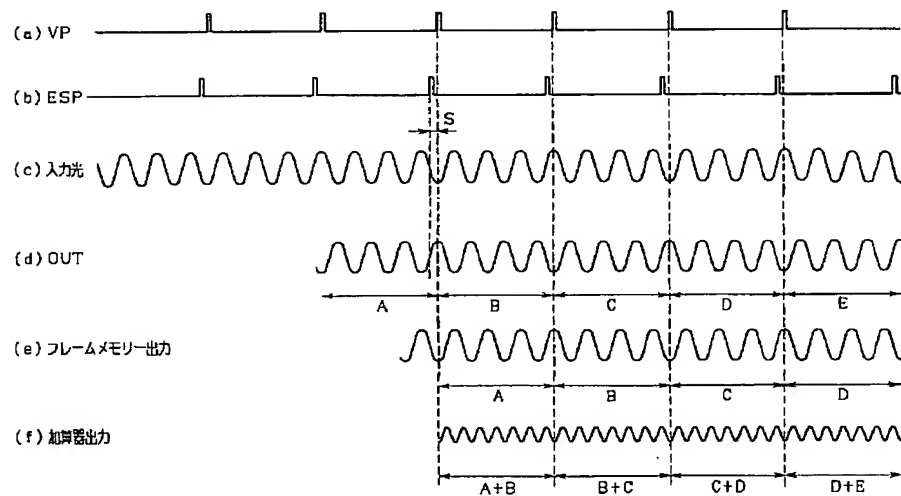
- 1 …商用電源
2 …蛍光灯
3 …被写体
4 …レンズ
5 …CMOSイメージセンサー
6 …アンプ (AMP)
7 …A/D変換器

- 8 …信号処理部
9 …積算計
10…電子シャッターパルス発生部
11…システムクロック
12…駆動パルス発生部
13…加算器
14…フレームメモリ

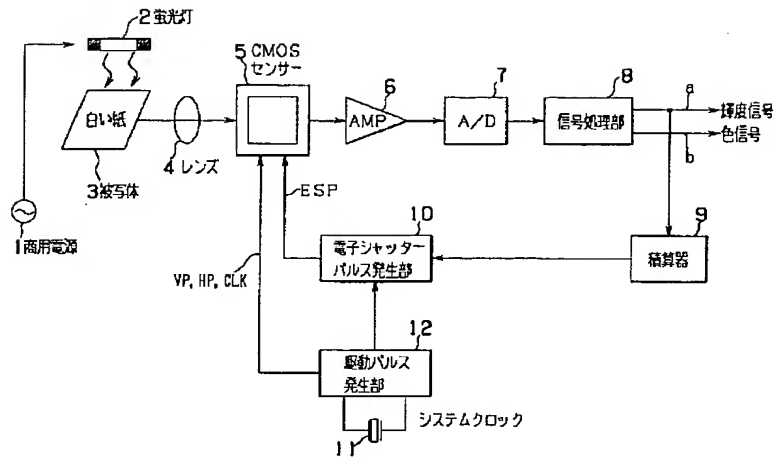
【図1】



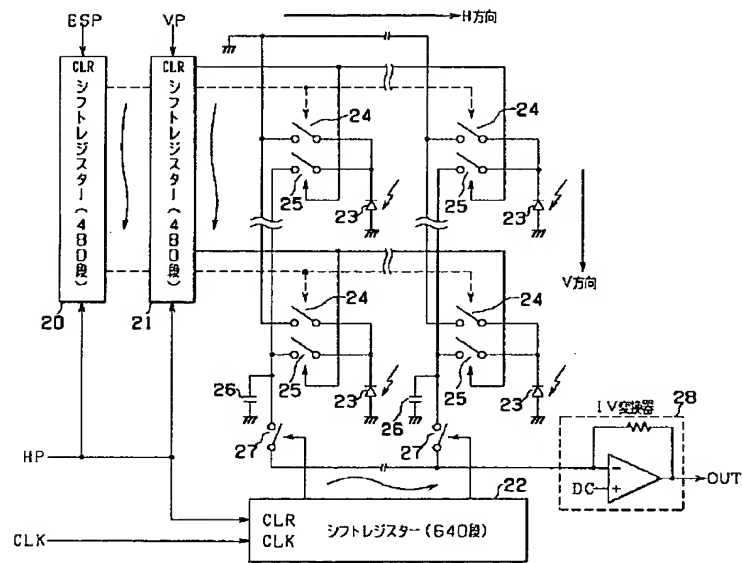
【図2】



【図3】



【図4】



【図5】

